

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001245222 A**

(43) Date of publication of application: 07.09.01

(51) Int. Cl.

H04N	5/335
G01J	1/42
G01L	9/00
H01L	27/14
H03M	1/12

(21) Application number: 2000055205

(71) Applicant: **NEC CORP**

(22) Date of filing: 01.03.00

(72) Inventor: OKUYAMA KUNIYUKI

(54) SEMICONDUCTOR DEVICE AND ITS CONTROL METHOD

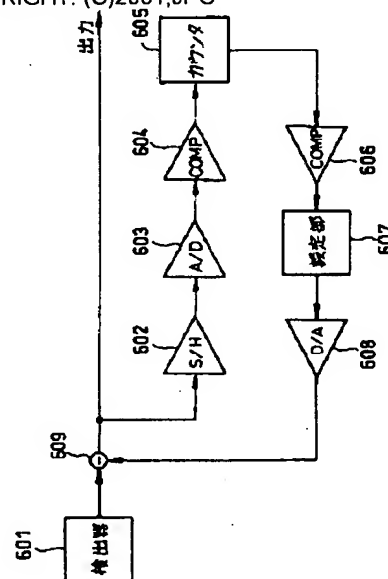
installed in the semiconductor device.

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To confine the dispersion of the output voltage of an image pickup element due to the dispersion of an amplification element and the dispersion of a detector itself and to smoothly perform signal amplification and a signal processing in and to of the image pickup element.

SOLUTION: A detection circuit 601, where an output signal level is changed by changing a bias current, a detection part 604 for detecting whether a signal outputted from the detection circuit is not more than a threshold which is set in a dynamic range, a counter 605 for counting the number detected by the detection part 604 and a setting part 607 which automatically sets the bias current of the detection circuit 601 and the full scale current value of an FPN correction circuit by a value counted by the counter 605 to a target output signal level are



2013-10-17 JP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-245222

(P2001-245222A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl.	識別記号	F I	テ-マ-コード (参考)
H 0 4 N	5/335	H 0 4 N 5/335	Z 2 F 0 5 5
G 0 1 J	1/42	G 0 1 J 1/42	B 2 G 0 6 5
G 0 1 L	9/00	G 0 1 L 9/00	Z 4 M 1 1 8
H 0 1 L	27/14	H 0 3 M 1/12	B 5 C 0 2 4
H 0 3 M	1/12	H 0 1 L 27/14	K 5 J 0 2 2

審査請求 有 請求項の数10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-55205(P2000-55205)

(22) 出願日 平成12年3月1日 (2000.3.1)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 奥山 邦幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

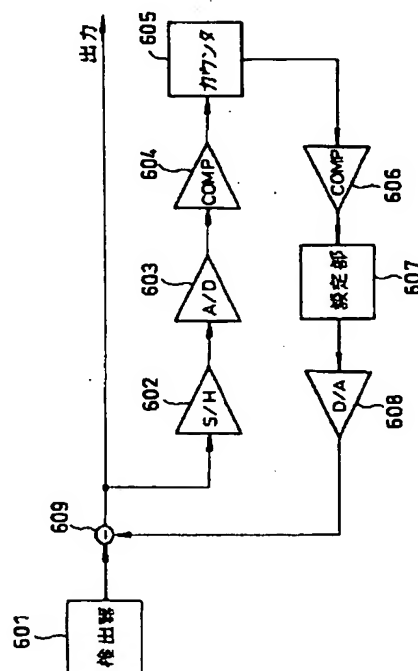
最終頁に続く

(54) 【発明の名称】 半導体装置及びその制御方法

(57) 【要約】

【課題】 増幅素子のばらつきや検出器自体のばらつきによる撮像素子の出力電圧のばらつきをダイナミックレンジ内に収め、撮像素子内または撮像素子外において行う信号増幅や信号処理を円滑に行う。

【解決手段】 バイアス電流を変化させることによって、出力信号レベルが変化する検出回路601と、この検出回路から出力された信号がダイナミックレンジ内に設定したスレッシュホールド以下であるかどうかを検出する検出部604と、この検出部604で検出された数をカウントするカウンタ605と、このカウンタ605でカウントされた値によって、検出回路601のバイアス電流とF P N補正回路のフルスケール電流値とを、自動的に目的の出力信号レベルに設定する設定部607とを有する。



【特許請求の範囲】

【請求項1】 検出素子を有し、この検出素子のバイアス電流と前記検出素子の固定パターンノイズを補正するための補正手段のフルスケール電流とを変化させることによって検出力信号のレベルが変化する信号処理回路と、前記信号処理回路から出力された信号とこの回路のダイナミックレンジ内で設定されたスレッシュホールドとを比較する比較手段と、前記比較手段の比較結果をカウントするカウント手段と、前記カウント手段でカウントされた値により前記信号処理回路のバイアス電流と前記補正回路のフルスケール電流とを制御する制御手段とを含むことを特徴とする半導体装置。

【請求項2】 前記制御手段は、前記スレッシュホールド以下または以上の検出画素数を指定し、前記信号処理回路のバイアス電流のMSB（最上位ビット）を操作し、前記カウント手段のカウント結果と指定された画素数の比較結果とから前記バイアス電流のMSBを決定し、順次LSB（最下位ビット）まで同様の操作と判定によって前記バイアス電流の各ビットの値を決定するようにしたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記制御手段は、前記スレッシュホールド以下の検出画素数が指定した画素数になるときのバイアス電流値と、スレッシュホールドを超えた検出画素数が指定した画素数になるときのバイアス電流値とをそれぞれ求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記制御手段は、前記スレッシュホールド以下または以上の検出画素数が指定した下限設定値になるときのバイアス電流値と、スレッシュホールド以下または以上の検出画素数が指定した上限設定値になるときのバイアス電流値とを求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記制御手段は、前記補正手段のフルスケール電流値を指定し、あるバイアス電流におけるカウント結果と、このバイアス電流から前記補正手段のフルスケール電流を引いた電流値におけるカウント結果とがほぼ同じになるようにバイアス電流を決定するようにしたことを特徴とする請求項1記載の半導体装置。

【請求項6】 検出素子を有し、この検出素子のバイアス電流と前記検出素子の固定パターンノイズを補正するための補正手段のフルスケール電流とを変化させることによって検出力信号のレベルが変化する信号処理回路を含む半導体装置の制御方法であって、前記信号処理回路から出力された信号とこの回路のダイナミックレンジ内で設定されたスレッシュホールドとを比較する比較ステップと、前記比較ステップの比較結果をカウントするカウントステップと、前記カウントステップでカウントされた値により前記信号処理回路のバイアス電流と前記補正

回路のフルスケール電流とを制御する制御ステップとを含むことを特徴とする制御方法。

【請求項7】 前記制御ステップは、前記スレッシュホールド以下または以上の検出画素数を指定し、前記信号処理回路のバイアス電流のMSB（最上位ビット）を操作し、前記カウントステップのカウント結果と指定された画素数の比較結果とから前記バイアス電流のMSBを決定し、順次LSB（最下位ビット）まで同様の操作と判定によって前記バイアス電流の各ビットの値を決定するようにしたことを特徴とする請求項6記載の制御方法。

【請求項8】 前記制御ステップは、前記スレッシュホールド以下の検出画素数が指定した画素数になるときのバイアス電流値と、スレッシュホールドを超えた検出画素数が指定した画素数になるときのバイアス電流値とをそれぞれ求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする請求項6記載の制御方法。

【請求項9】 前記制御ステップは、前記スレッシュホールド以下または以上の検出画素数が指定した下限設定値になるときのバイアス電流値と、スレッシュホールド以下または以上の検出画素数が指定した上限設定値になるときのバイアス電流値とを求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする請求項6記載の制御方法。

【請求項10】 前記制御ステップは、前記補正手段のフルスケール電流値を指定し、あるバイアス電流におけるカウント結果と、このバイアス電流から前記補正手段のフルスケール電流を引いた電流値におけるカウント結果とがほぼ同じになるようにバイアス電流を決定するようにしたことを特徴とする請求項6記載の制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその制御方法に関し、特にバイアス電流を変化させることによって出力信号レベルが変化するようにした半導体装置であって、複数の抵抗体で構成される検出器アレイや表示アレイ、さらには可視光や赤外線、紫外線、超音波、圧力等を検出する検出器アレイやこれらを出力する表示アレイの半導体装置及びその制御方法に関する。

【0002】

【従来の技術】 かかる半導体装置の一例としての撮像装置としては、例えば特開平11-150683号公報に記載されたものがある。図12はこの従来の撮像装置の回路図を示したものである。この回路は、二次元の赤外線画像が得られるように、複数の画素を集積化している。半導体基板上に、熱電変換素子1101、NPNトランジスタ1102、抵抗1103、PNPトランジスタ1104、スイッチ1100、FPN補正定電流源1113、積分コンデンサ1105、リセットスイッチ1106が形成されている。

【0003】図12において、熱電変換素子1101は、この例では温度によってその電気抵抗値が変化するボロメータを用いており、ボロメータとしてはチタンを使用している。チタンボロメータ1101は入射赤外線に対して感度がある。NPNトランジスタ1102のベースに電圧 V_{B1} を印加すると、NPNトランジスタ1102のベース、エミッタ間電圧を V_{BE} として、チタンボロメータ1101には $(V_{B1}-V_{BE})$ の電圧がかかる。チタンボロメータ1101の抵抗を R_{B1} とすると、NP

Nトランジスタ1102のコレクタには、 $I_{C1} = (V_{B1} - V_{BE}) / R_{B1}$ の電流が流れることになる。
【0004】抵抗1104を R_{B2} とすると、 R_{B2} はチタンボロメータ1101に対する基準として使用しているために、抵抗1104の抵抗値はチタンボロメータ1101の抵抗値と同じである。PNPトランジスタ1103のベース電圧 V_{B2} を印可すると、上記と同様にPNPトランジスタ1103のコレクタには、 $I_{C2} = (V_{B2} - V_{BE}) / R_{B2}$ の電流が流れる。

【0005】入射赤外線を遮断した状態で、この I_{C1} と I_{C2} とが釣り合うように1103のベース電圧を設定している。このため、積分コンデンサ1105にはほとんど電流が流れない。赤外線が入射すると、熱分離されたダイアフラムの温度が上昇し、ダイアフラム上のチタンボロメータ1101の抵抗値は変化する。この抵抗の変化は I_{C1} を変化させる。基板上の拡散抵抗1104の抵抗値は変化しないため I_{C2} は変化しない。この I_{C1} の変化によって、差分 $\Delta I = (I_{C2} - I_{C1})$ が生じ、積分コンデンサ1105に蓄えられる。この差分 ΔI は信号成分と除ききれなかったバイアス成分であり、大きなバイアス成分は取り除かれる。

【0006】また、特開平11-150683号公報に示されている例では、画素間の抵抗値のばらつきが大きい場合、FPN(固定パターンノイズの略)補正回路1106~1108で画素毎に電流 I_{fnp} を流す。 R_{B1} が標準よりも大きい場合、 R_{B1} に流れる I_{C1} は小さくなる。 I_{C2} は一定なので差分 ΔI は大きくなってしまふ。電流 I_{fnp} を流すことで、 $I_{C2} = (I_{C2} - I_{fnp})$ となり抵抗ばらつき分の差を補正している。

【0007】積分コンデンサ1105に蓄えられた信号は、NMOSTランジスタ1107、1108で構成されるソースフォロウにより高インピーダンスから低インピーダンスに変換される。スイッチ1109、ホールドコンデンサ1110にて構成されるサンプルホールド回路は、時系列で入力される信号をサンプリングして一時ホールドする。スイッチ1109は、PMOSTランジスタ、NMOSTランジスタ同士を接続したトランスファゲートで構成される。NMOSTランジスタ1111、1112もソースフォロウを構成し、低インピーダンスで1114のS/Houtに出力されることになる。

【0008】

【発明が解決しようとする課題】特開平11-150683号公報の技術では、抵抗値が大きい方にばらついている場合、FPN補正電流でばらつき分を補正することが出来るが、抵抗値が小さい方にばらついている場合や、FPN補正電流のフルスケール電流よりもばらつき分が大きい場合は、キャンセル電流を調整する必要がある。今までは、調整するためのハードウェアまたはソフトウェアがないために、キャンセル電流を手動で調整する方法で行っていたが、煩雑な作業である。また、キャンセル電流が固定されている場合は、抵抗値が小さい方にばらついている場合や、FPN補正電流のフルスケール電流よりもばらつき分が大きい場合は補正しきれず、信号の増幅度を上げることが難しい。

【0009】通常、複数の画素からなる撮像装置では画素間のばらつきが存在する。これは赤外線撮像素子や増幅型撮像装置に特に顕著に現れる。これら画素間のばらつきの原因は、あるものはボロメータなどの検出器のばらつきであったり、あるものは増幅素子のVTや寄生容量のばらつきであったりする。ボロメータ型赤外線撮像装置を例にとると、ボロメータ抵抗はボロメータ膜の厚さのばらつきや比抵抗のばらつき、パターンニングしたときの寸法のばらつきなどで数%から数10%程度ばらつく。

【0010】このようなばらつきは、信号を読み出す上で大きな支障となる。例えば温度差1℃の被写体を見たときボロメータ部の温度変化は1m℃程度であり、これによるボロメータの抵抗変化はボロメータの抵抗温度係数1%/℃として0.001%程度である。この微少な抵抗変化を読み取るには撮像素子上で増幅することが好ましいが、画素間の抵抗ばらつきが大きいと、そのままではばらつきによって増幅回路のダイナミックレンジが制限され、増幅度が上げられない。

【0011】検出器自体のばらつきを補正する例は、上記特開平11-150683号公報に示されているが、検出器の抵抗値が大きい方にばらついていれば、FPN補正電流でキャンセル電流分を引き抜いて補正することが出来るが、検出器の抵抗値が小さい方にばらついている場合は、FPN補正電流でキャンセル電流分を引き抜いてもばらつきが大きくなってしまふだけで、補正することは出来ない。今までは、調整するためのハードウェアまたはソフトウェアがないために、キャンセル電流を手動で調整する方法で行っていたが、煩雑な作業である。また、キャンセル電流が固定されている場合は、抵抗値が小さい方にばらついている場合や、FPN補正電流のフルスケール電流よりもばらつき分が大きい場合は補正しきれず、信号の増幅度を上げることが難しい。同様に、FPN補正電流のフルスケール電流についても、固定されていると、ばらつきが大きい場合は補正しきれず、ばらつきが小さい場合は、本来なら分解能を良く出来るのに無駄に補正範囲が広がってしまう。

【0012】本発明の目的は、検出器の抵抗値のばらつきを調べ、バイアスキャンセラ電流とF P N補正電流のフルスケール電流値を自動的に最適な値に設定することで、バイアスキャンセラ電流またはF P N補正電流を流してばらつきが補正されたときに、出力信号をダイナミックレンジ内に収め、撮像素子内または撮像素子外において行う信号増幅や信号処理を円滑に行うことができる半導体装置及びその制御方法を提供することである。

【0013】

【課題を解決するための手段】本発明による半導体装置は、検出素子を有し、この検出素子のバイアス電流と前記検出素子の固定パターンノイズを補正するための補正手段のフルスケール電流とを変化させることによって検出出力信号のレベルが変化する信号処理回路と、前記信号処理回路から出力された信号とこの回路のダイナミックレンジ内で設定されたスレッシュホールドとを比較する比較手段と、前記比較手段の比較結果をカウントするカウント手段と、前記カウント手段でカウントされた値により前記信号処理回路のバイアス電流と前記補正回路のフルスケール電流とを制御する制御手段とを含むことを特徴とする。

【0014】そして、前記制御手段は、前記スレッシュホールド以下または以上の検出画素数を指定し、前記信号処理回路のバイアス電流のMS B（最上位ビット）を操作し、前記カウント手段のカウント結果と指定された画素数の比較結果とから前記バイアス電流のMS Bを決定し、順次LS B（最下位ビット）まで同様の操作と判定によって前記バイアス電流の各ビットの値を決定するようにしたことを特徴とする。

【0015】また、前記制御手段は、前記スレッシュホールド以下の検出画素数が指定した画素数になるときのバイアス電流値と、スレッシュホールドを超えた検出画素数が指定した画素数になるときのバイアス電流値とをそれぞれ求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする。

【0016】更に、前記制御手段は、前記スレッシュホールド以下または以上の検出画素数が指定した下限設定値になるときのバイアス電流値と、スレッシュホールド以下または以上の検出画素数が指定した上限設定値になるときのバイアス電流値とを求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする。

【0017】更にはまた、前記制御手段は、前記補正手段のフルスケール電流値を指定し、あるバイアス電流におけるカウント結果と、このバイアス電流から前記補正手段のフルスケール電流を引いた電流値におけるカウント結果とがほぼ同じになるようにバイアス電流を決定するようにしたことを特徴とする。

【0018】本発明による制御方法は、検出素子を有

し、この検出素子のバイアス電流と前記検出素子の固定パターンノイズを補正するための補正手段のフルスケール電流とを変化させることによって検出出力信号のレベルが変化する信号処理回路を含む半導体装置の制御方法であって、前記信号処理回路から出力された信号とこの回路のダイナミックレンジ内で設定されたスレッシュホールドとを比較する比較ステップと、前記比較ステップの比較結果をカウントするカウントステップと、前記カウントステップでカウントされた値により前記信号処理回路のバイアス電流と前記補正回路のフルスケール電流とを制御する制御ステップとを含むことを特徴とする。

【0019】そして、前記制御ステップは、前記スレッシュホールド以下または以上の検出画素数を指定し、前記信号処理回路のバイアス電流のMS B（最上位ビット）を操作し、前記カウントステップのカウント結果と指定された画素数の比較結果とから前記バイアス電流のMS Bを決定し、順次LS B（最下位ビット）まで同様の操作と判定によって前記バイアス電流の各ビットの値を決定するようにしたことを特徴とする。

【0020】また、前記制御ステップは、前記スレッシュホールド以下の検出画素数が指定した画素数になるときのバイアス電流値と、スレッシュホールドを超えた検出画素数が指定した画素数になるときのバイアス電流値とをそれぞれ求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする。

【0021】更に、前記制御ステップは、前記スレッシュホールド以下または以上の検出画素数が指定した下限設定値になるときのバイアス電流値と、スレッシュホールド以下または以上の検出画素数が指定した上限設定値になるときのバイアス電流値とを求め、これ等のバイアス電流値から前記補正手段のフルスケール電流値を決定するようにしたことを特徴とする。

【0022】更にはまた、前記制御ステップは、前記補正手段のフルスケール電流値を指定し、あるバイアス電流におけるカウント結果と、このバイアス電流から前記補正手段のフルスケール電流を引いた電流値におけるカウント結果とがほぼ同じになるようにバイアス電流を決定するようにしたことを特徴とする。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の一実施形態を示す撮像装置の全体図である。半導体基板上に、熱電変換素子101、NP Nトランジスタ102、NP Nトランジスタ103、抵抗104、バイナリに抵抗値が変化している抵抗105、NP Nトランジスタ106、F P N補正スイッチ107、積分コンデンサ108、リセットスイッチ109が形成されている。熱電変換素子101は、この例ではダイヤモンド上に形成されたボロメータを用いており、入射赤外線に対して感度がある。こ

の熱電変換素子101は、後述するように、基板上に1次元ないしは2次元に多数形成され、スイッチ100によって切り替えて順次選択していく。

【0024】NPNトランジスタ102のベースに電圧VB1を印加すると、NPNトランジスタ102のベース、エミッタ間電圧をVBEとした場合、熱電変換素子101には(VB1-VBE)の電圧がかかる。熱電変換素子101の抵抗をRb1とすると、NPNトランジスタ102のコレクタには、 $I_{C1} = (VB1 - VBE) / Rb1$ の電流が流れることになる。

【0025】NPNトランジスタ102のベースはVB1バイアス設定回路131につながっている。VB1バイアス設定回路131はNPNトランジスタ102のベース電圧VB1を調整する定電圧源であり、例えば図2に示す回路素子200~211のような構成になっている。

【0026】VB1バイアス設定回路131は、シフトレジスタ200と、スイッチ201と、そのドレインにつながる抵抗202と、NPNトランジスタ203と、そのコレクタにつながるPNPトランジスタ206と、NPNトランジスタ203のコレクタにつながるPNPトランジスタ204と、そのPNPトランジスタにつながる抵抗205と、PNPトランジスタ204のベースにつながっているPNPトランジスタ210と、そのPNPトランジスタのエミッタにつながる抵抗211と、PNPトランジスタ210のコレクタにつながるNPNトランジスタ209と、PNPトランジスタ210のコレクタにつながるNPNトランジスタ208と、そのNPNトランジスタのエミッタにつながる抵抗207からなる。バイアス設定回路131は何段かの定電流源から構成され、各定電流源の電流値は1、2、4、…のように2の整数乗の重み付けがしてある。この2の整数乗の重み付けをするために、抵抗202は2R1、R1、R1/2、…のように2の整数乗の重み付けがしてある。抵抗のばらつきを最小限にするため、R1という単位抵抗を組み合わせることによって各抵抗を得ている。

【0027】さらに、NPNトランジスタ203のエミッタサイズは、電流I。の段のエミッタサイズを基本(m=1)として、2倍(m=2)、4倍(m=4)、…のように電流に比例して重み付けがしてある。前述したNPNトランジスタ102のベース電圧VB1を各段のスイッチをオン/オフすることによって調整することが出来る。定電流源がn段あるビットの場合、前述のNPNトランジスタ102のベース電圧VB1を2ⁿに調整することが出来る。

【0028】エミッタサイズ(m)を変えているのは次の理由による。ベース電流IBとベース-エミッタ間電圧VBEとの関係は、逆方向リーク電流をIB、素電荷をq、ボルツマン定数をk、絶対温度をTとして、 $IB = m IB_0 \cdot \exp[qVBE/k/T]$

となる。ベース電流は電流増幅率をβとして、 $IB = IC/\beta$ で表されるため、mが一定のままコレクタ電流が変化するとVBEも変化してしまう。各トランジスタのベースには同じ電圧VB1が印加されているため、各段のVBEが異なると各段の電流値は正確に上記のようにならない。mを電流値に比例して変えることによって各段のVBEは同じになり、電流値を上記のように設定することが出来る。

【0029】エミッタに抵抗を接続するこの構成は、NPNトランジスタ103のショットノイズ、ベース抵抗(rbb)のジョンソンノイズ、ベースにつながる定電圧源のノイズなどの影響を減らす効果がある。

【0030】PNPトランジスタ103のベースに電圧VB2を印加すると、上記と同様にPNPトランジスタ103のコレクタには、 $I_{C2} = (VB2 - VBE) / Rb2$ の電流が流れる。ここで、Rb2は抵抗104の抵抗値である。このIC1とIC2とはほぼ等しいとあり、積分コンデンサ108にはわずかな差分ΔI=(IC2-IC1)が流れる。この差分ΔIは信号成分と除ききれなかったバイアス成分であり、大部分のバイアス成分は取り除かれている。

【0031】PNPトランジスタ103のベースはVB2バイアス設定回路132につながっている。VB2バイアス設定回路132は、PNPトランジスタ103のベース電圧VB2を調整する定電圧源であり、例えば回路素子212~230のような構成になっている。

【0032】VB2バイアス設定回路132は、シフトレジスタ212と、スイッチ213と、そのドレインにつながる抵抗214と、NPNトランジスタ215と、そのコレクタにつながるNPNトランジスタ217と、そのエミッタにつながる抵抗216と、NPNトランジスタ215のコレクタにつながるPNPトランジスタ220と、そのエミッタにつながるPNPトランジスタ218とそのエミッタにつながる抵抗219と、NPNトランジスタ215のベースにつながるNPNトランジスタ222と、そのエミッタにつながる抵抗221と、NPNトランジスタ222のベースにつながるNPNトランジスタ223と、そのベースにつながるPNPトランジスタ224と、そのエミッタにつながる抵抗225と、PNPトランジスタ224のベースにつながるPNPトランジスタ229と、そのエミッタにつながる抵抗230と、PNPトランジスタ229のコレクタにつながるNPNトランジスタ228と、そのエミッタにつながるNPNトランジスタ227と、そのエミッタにつながる抵抗226からなる。バイアス設定回路132の214~215は何段かの定電流源から構成され、各定電流源の電流値は1、2、4、…のように2の整数乗の重み付けがしてある。この2の整数乗の重み付けをするために、抵抗214は2R1、R1、R1/2、…のように2の整数乗

の重み付けがしてある。抵抗のばらつきを最小限にするため、 $R1$ という単位抵抗を組み合わせることによって各抵抗を得ている。

【0033】 V_{B2} バイアス設定回路132の216, 217の定電流源に流れる電流12は、 V_{B1} バイアス設定回路131の207, 208の定電流源に流れる電流12と同じ電流値である。また、 V_{B2} バイアス設定回路の222, 221の定電流源に流れる電流13は V_{B1} バイアス設定回路の207, 208の定電流源に流れる電流12の1/4の電流が流れる。

【0034】さらに、NPNトランジスタ215のエミッタサイズは、電流11の段のエミッタサイズを基本($m=1$)として、2倍($m=2$)、4倍($m=4$)、…のように電流に比例して重み付けがしてある。前述したNPNトランジスタ103のベース電圧 V_{B2} を各段のスイッチをオン/オフすることによって調整することが出来る。定電流源が n 段あるビットの場合、前述のNPNトランジスタ103のベース電圧 V_{B2} を 2^n に調整することが出来る。

【0035】NPNトランジスタ106のベースは、 V_{B0} バイアス設定回路130につながっている。 V_{B0} バイアス設定回路は、NPNトランジスタ106のベース電圧 V_{B0} を調整する定電圧源であり、例えば図2の回路素子231~237のような構成になっている。

【0036】 V_{B0} バイアス設定回路130は、シフトレジスタ231と、スイッチ232と、どのドレインにつながる抵抗233と、NPNトランジスタ234と、そのコレクタにつながるPNPトランジスタ235と、NPNトランジスタ234のコレクタにつながるPNPトランジスタ236と、そのエミッタにつながる抵抗237からなる。バイアス設定回路130の233~234は何段かの定電流源から構成され、各定電流源の電流値は14, 214, 414, …のように2の整数乗の重み付けがしてある。この2の整数乗の重み付けをするために、抵抗233は $2R1$, $R1$, $R1/2$, …のように2の整数乗の重み付けがしてある。抵抗のばらつきを最小限にするために、 $R1$ という単位抵抗を組み合わせることによって各抵抗を得ている。

【0037】さらに、NPNトランジスタ234のエミッタサイズは、電流14の段のエミッタサイズを基本($m=1$)として、2倍($m=2$)、4倍($m=4$)、…のように電流に比例して重み付けがしてある。前述したNPNトランジスタ106のベース電圧 V_{B0} を各段のスイッチをオン/オフすることによって調整することが出来る。定電流源が n 段あるビットの場合、前述のNPNトランジスタ234のベース電圧 V_{B0} を 2^n に調整することが出来る。

【0038】撮像装置の温度ドリフトを減らすために、 V_{B1} バイアス設定回路131の電流10, 210, 410, …と、 V_{B2} バイアス設定回路132の電流11,

211, 411, …と、 V_{B0} バイアス設定回路130の電流14, 214, 414, …は、温度依存性を小さくする必要がある。電流値11, 211, 411, …と電流値12, 212, 412, …の基準となる電流値は10, 210, 410, …である。この電流値の基準となるベース印加電圧 $REFIN$ は、温度依存性が小さくなるように設計する。温度依存性を小さくするには、バンドギャップリファレンス等の温度依存性の非常に小さい定電圧源を使うことが好ましい。

10 【0039】積分コンデンサ108に蓄えられた信号は、NMOSFET110, 111で構成されるソースフォロワで高インピーダンスから低インピーダンスに変換される。スイッチ112, ホールドコンデンサ113で構成されるサンプル・ホールド回路は、時系列で入力される信号をサンプリングして一時保持する。スイッチ112はPMOSFET, NMOSFETのソース同士、ドレイン同士を接続したトランスファークラップで構成される。NMOSFET114, 115もソースフォロワを構成し、低インピーダンスで増幅器16に出力する。なお、他の構成は後述する。

20 【0040】図3は図1の読み出し回路と周辺を含めた撮像素子全体の回路図である。読み出し回路は、水平シフトレジスタ301とマルチプレクサ302、読み出し回路303、FPN補正バッファ304、FPN補正電流源305、熱電変換素子101、画素スイッチ100、垂直シフトレジスタ308、バイアス設定回路309等からなる。

30 【0041】熱電変換素子101は、この例では基板上に2次元にマトリクス状に形成され、画素スイッチ100によって切り換えて順次選択されていく。各熱電変換素子の信号を読み出すために、この例ではマトリクスの各列に読み出し回路303を形成して信号を読み出している。読み出し回路をどのように形成するかは以下のようなトレードオフがある。

【0042】各列に読み出し回路を形成した場合。各列が同時に読み出し動作を行えるため、読み出しの時間を長くすることが出来る。読み出し時間が長いと、その分ノイズ帯域を狭くすることができ、ノイズを低減することが出来る。その反面読み出し回路の数が多くなり、チップ面積が大きくなってしまふ。

40 【0043】1個の読み出し回路を複数の列で分け合って使用すれば読み出し回路の数が減って、チップ面積の縮小になる。その反面、時分割で分け合って使用する分、読み出し時間が短くなりノイズ帯域が広がってしまふ。

【0044】垂直シフトレジスタ308はマトリクスの各行を順次選択していく。

50 【0045】FPN補正電流源305に供給されるFPN補正データは、例えばチップ外のメモリに全画素分の補正データを蓄える。各列の読み出し回路が積分等の読

み出し動作を行っているときに、バッファ304は読み出している画素のFPNデータを保持している。

【0046】バイアス設定回路309に供給されるバイアス設定データは、例えばチップ外のスイッチまたはメモリによってシリアルで与えられ、バイアス設定回路内のシフトレジスタ内に蓄えられる。ノイズフィルタ310は、例えばチップ外にCRフィルタを設けてノイズを除去している。

【0047】各列の読み出し回路303の出力は各読み出し回路303内のサンプルホールド回路に接続されて 10 いる。各列のサンプルホールド出力S/Houtはマルチプレクサ302によって順次選択され出力outに導出される。水平シフトレジスタ301は各列のマルチプレクサ302のスイッチを順次選択し、また、各列のFPNデータバッファ304を順次選択するものである。FPN DATAはFPNデータバッファ304につながるデータバスで、例えば、各列のFPN補正定電流源305が3ビットの場合3本のラインとなる。BIAS DATAはFPN補正電流源305と読み出し回路回路 20 303につながるデータバスで、例えば、設定が必要な

【0048】図4は各部の信号タイミングを示したタイミング図である。 ϕV は、例えば30Hz程度の垂直同期信号であり、垂直シフトレジスタ308のデータ端子Vに入力される。 ϕH は、例えば7kHz程度の水平同期信号であり、垂直シフトレジスタ308のクロック端子Hに入力される。これによって、垂直シフトレジスタ308からは、V1、V2、…の各行を選択する信号が出力される。

【0049】ある行を選択している間、各列の読み出し 30 回路において積分時の読み出し動作が行われる。VCは図1の積分コンデンサ108の電圧波形（積分波形）である。サンプルホールド回路112に $\phi S/H$ を印可して、積分後の電圧をサンプリングしてホールドコンデンサ113に保持する。サンプリング後リセットスイッチ109にリセットパルス ϕR を印加して積分コンデンサ108をリセットする。

【0050】水平シフトレジスタ301のデータ端子Hに ϕH 、クロック端子CLKに ϕCLK を入力することで、H1、H2、…の信号を得る。H1、H2、…は図 40 3のマルチプレクサ302とFPNデータバッファ304とを順次選択する。

【0051】 $\phi H'$ は ϕH と同じ信号を使用してもよい。各列のホールドコンデンサに保持された信号はマルチプレクサ302を介して出力端子にOUTで示すように出力される。

【0052】FPNデータ（FPN DATA）はある行の読み出しの前にFPNデータバッファに転送される。図3のデータバッファ304の制御端子には、H1、H2、…を入力する。

【0053】バイアス設定電流（BIAS DATA）は、読み出し回路303が読み出し前、または読み出し中にバイアス設定回路に転送される。バイアス設定回路で作成された各電圧は、ノイズフィルタ310を通して読み出し回路303のトランジスタ102、103のベースと、FPN305のトランジスタ106のベース電圧を設定する。

【0054】図5は本発明の一実施形態を示す撮像装置全体のブロック図である。撮像装置は、撮像素子501、増幅器116、サンプルホールド117、A/Dコンバータ118、VRAM121、FPNメモリコントローラ119、FPNメモリ120、デジタル減算器136、D/Aコンバータ134、NTSC信号発生器135、コンパレータ122、FPNメモリコントローラ123、FPNメモリ124、コンパレータ125、カウンタ126、コンパレータ127、バイアスデータ作成回路517などからなる。

【0055】撮像素子501は、例えば図3に示した構成を一つのシリコン基板上に形成する。入射光は光学系520によって撮像素子501上に集光され、撮像素子501によって電気信号に変換され、積分回路等によって増幅されて外部に出力される。増幅器116はこの出力信号を増幅し、サンプル・ホールド回路117は信号を一時保持する。A/D変換器118はこの保持された信号をデジタル信号に変換する。なお、増幅器116は、撮像素子501の出力信号が十分大きければ省略することは可能である。

【0056】VRAM121は各画素のデジタル信号を保持するメモリであり、例えば撮像素子501が 320×240 の画素数で、1画素のデジタル信号が12ビットであるとした場合、 $320 \times 240 \times 12$ ビットの容量であればよい。

【0057】FPNメモリ120は撮像素子内で行うFPN補正で取りきれなかったばらつきを補正するためのメモリであり、補正するための各画素のばらつきデータが保持されている。FPNメモリコントローラ119はこのFPNメモリ120を制御するための回路であり、デジタル減算器136はリアルタイムで入力される各画素の信号から、各画素のばらつき量を減算するためのものである。 40

【0058】入射光をシャッター等で遮断した状態でA/D変換器118から出力される各画素のデータは、撮像素子内のFPN補正で取りきれなかったばらつきを持っている。このデータをFPNメモリ120に記憶させる。この操作は電源投入時や、前回の補正がずれたときなどに行う。通常の撮像状態では、この記憶されたFPNメモリ120のばらつきデータを減算器136に渡して、リアルタイムで供給されてくる各画素の信号から減算してダイナミックレンジ内に収まる信号を得る。

50 【0059】なお、減算器136は、FPNメモリ12

0のデータの補数をとる等して、加算器に変更することは当然可能である。また、減算器136はVRAM121とD/A変換器134との間にあってもよい。

【0060】D/A変換器134はこの処理されたデジタル信号をアナログ信号に変換して、NTSC信号発生器135に出力する。NTSC信号発生器135はこのアナログ信号と同期信号を合成してNTSCコンポジット信号を出力する。NTSC信号発生器はNTSCに限らず、必要に応じてPALやRGB出力等他の方式の信号発生器でもよい。

【0061】撮像素子内のFPN補正回路(図1の105~107)に供給する補正データの取得は次のようにして行う。コンパレータ122は、この例ではデジタルコンパレータであり、各画素の信号レベルとある基準レベルとの大小関係を判定する。この基準レベルは、撮像素子内の積分回路や増幅器、A/D変換器等、信号処理回路のダイナミックレンジの上限または下限に設定したり、この上限または下限にあるレベルの余裕を加えた値に設定することが出来る。大小関係の判定はある基準レベル以上のものを良としたり、ある基準レベル以下のものを良としたり、ある2つの基準レベル範囲内のものを良としたりすることが出来る。

【0062】FPNメモリコントローラ123はこの比較結果にしたがってFPN補正データを作成する。作成された補正データはFPNメモリ124に保持される。FPNメモリ124は全画素数にこのFPN補正データのビット数を掛けた容量であればよい。例えば、 320×240 の画素数の場合には、FPN補正データのビット数が3ビットであれば、 $320 \times 240 \times 3$ ビットの容量があればよい。データをバイト単位で制御するために、必要に応じて容量を大きくすることは可能である。

【0063】撮像素子内のバイポーラトランジスタ(図1の102、103、106)に供給するバイアス設定データの取得は次のようにして行う。コンパレータ125はこの、例ではデジタルコンパレータであり、各画素の信号レベルとダイナミックレンジ内に設定したスレッシュホールドとの大小関係を判定する。このスレッシュホールドは、撮像素子内の積分回路や増幅器、A/D変換器等、信号処理回路のダイナミックレンジの上限または下限に設定したり、この上限または下限にあるレベルの余裕を加えた値などに設定することが出来る。大小関係の判定は、スレッシュホールド以上のものを良としたり、スレッシュホールド以下のものを良としたり、ある2つのスレッシュホールド範囲内のものを良としたりすることが出来る。

【0064】カウンタ126はこの比較結果にしたがってカウントを行う。この場合、コンパレータ125の判定結果が良であった場合と不良であった場合のどちらか一方をカウント、またはカウンタ126を2個使用して、コンパレータ125の判定結果の良否の両方をカウ

ントするようにすることも出来る。

【0065】コンパレータ127は、この例ではデジタルコンパレータであり、カウンタ126のカウント値とある基準レベルとの大小関係を判定する。この基準レベルとしては、ダイナミックレンジ内に設定したスレッシュホールド以上の画素数や、スレッシュホールド以下の画素数などを設定することが出来る。

【0066】バイアスデータ作成回路517はこの比較結果にしたがってバイアス設定データを作成する。作成されたバイアスデータは、撮像素子501内にあるバイアス回路518に送られる。バイアス回路518は、バイアスデータ作成回路で作成されたデジタルデータを元に、定電流源を使用してバイアス電圧を作成する。

【0067】ノイズフィルタ310は、この例ではローパスフィルタであり、バイアス回路で作成されたバイアス電圧のノイズを除去する。

【0068】521は撮像素子を一定温度に保つペルチェ等の温度安定化素子であり、522はその制御回路である。

【0069】図6は本発明の一実施の形態を示す装置全体のブロック図であり、図5の撮像素子を使用した場合をも含む上位概念的な装置ブロック図である。本装置は、検出器601、サンプルホールド602、A/Dコンバータ603、コンパレータ604、カウンタ605、コンパレータ606、電圧設定回路607、D/Aコンバータ608、減算器609からなる。

【0070】検出器601は、例えば図5の撮像素子501の様にバイアス電流を変化させることによって出力信号レベルが変化する検出器である。この例では、出力信号はアナログ信号である。サンプル・ホールド回路602は、信号を一時保存する。A/D変換器603はこの保持された信号をデジタル信号に変換する。

【0071】コンパレータ604は、この例ではデジタルコンパレータであり検出器の出力信号レベルとスレッシュホールドとの大小関係を判定する。このスレッシュホールドとしては、出力信号のダイナミックレンジの上限または下限に設定したり、この上限または下限にあるレベルの余裕を加えた値等に設定することが出来る。大小関係の判定はスレッシュホールド以上のものを良としたり、スレッシュホールド以下のものを良としたり、ある2つのスレッシュホールド範囲内のものを良としたりすることが出来る。

【0072】カウンタ605はこの比較結果によってカウントを行う。この場合は、コンパレータ604の判定結果が良であった場合と不良であった場合のどちらか一方をカウント、またはカウンタ605を2個使用して、コンパレータ604の判定結果の良否の両方をカウントすることが出来る。コンパレータ606は、この例ではデジタルコンパレータであり、カウンタ605のカウント値とある基準レベルとの大小関係を判定する。この基準レベルとしては、ダイナミックレンジ内に設定したス

レッシュヨルド以上の数や、スレッシュヨルド以下の数などを設定することが出来る。

【0073】電圧設定回路607はこの比較結果にしたがって電圧設定データを作成する。D/Aコンバータ608はこの作成されたデジタル信号をアナログ信号に変換する。減算器609はリアルタイムで供給されてくる検出器601の信号から減算してダイナミックレンジ内に納まる信号を得る。

【0074】図7は読み出し回路のバイアス電流値の作成方法を表すフローチャートである。バイアス電流値は3ビットと仮定している。スレッシュヨルドを設定するステップ701と、バイアス電流値のビットの位置をMSB（最上位ビット）からLSB（最下位ビット）まで変化させるステップ702と、カウンタのカウント値設定及びステップ702で注目しているビットを1にセットするステップ703と、Vアドレスを変化させるステップ704と、Hアドレスを変化させるステップ705と、スレッシュヨルドの判定をもとに条件ジャンプするステップ706と、スレッシュヨルド以下の画素をカウントするステップ707と、フラグを判定するステップ708と、ビットを0にリセットするステップ709とからなっている。

【0075】ステップ701から709のフローをイメージ的に表したのが図8の801である。横軸はバイアス電流値、縦軸はスレッシュヨルド以下の画素数であり、この例では、バイアス電流値が小さいときはトランジスタに流れる電流が少ないので、スレッシュヨルド以下の画素がほとんど全てである。バイアス電流が大きくなるにつれてスレッシュヨルド以下の画素が少なくなる。

【0076】ステップ701でスレッシュヨルドTHを設定する。ステップ702と703で最初に設定されるバイアス電流値は、MSBが1でその他のビットは全て0なので、1/2のバイアス電流値（図8の801の①）である。ステップ703で設定されるスレッシュヨルド以下の画素数は、図8の801の画素数設定値である。ステップ704から707でスレッシュヨルド以下の画素数をカウントし、ステップ708で判定を行う。これを図8の801の例で表すと、①のバイアス電流時のスレッシュヨルド以下の画素数は設定値よりも多いので、①のバイアス電流値は目標の電流値よりも小さいことになり、MSBはそのまま1にする。

【0077】ステップ702へ戻り、注目するビットをLSB側に1ビットずらし、1を立てる。図8の801の例では、“110”となり、3/4のバイアス電流値（図8の801の②）になる。ステップ704から707でスレッシュヨルド以下の画素数をカウントし、ステップ708で判定を行う。これを図8の801の例で表すと、②のバイアス電流時のスレッシュヨルド以下の画素数は設定値よりも少ないので、②のバイアス電流値は目標の電流値よりも大きいことになり、注目しているビット

を0にする。

【0078】前述のようなステップ702からステップ709のループをバイアス電流値のLSBが求まるまで繰り返すことで、目標のバイアス電流値を求めることが出来る。

【0079】図7のフローチャートを説明すると、ステップ701はスレッシュヨルド（図7のTH）を設定する部分であり、この例ではデジタルコンバータの判定値である。このスレッシュヨルドは出力信号のダイナミックレンジの上限または下限に設定したり、この上限または下限にあるレベルの余裕を加えた値などに設定することが出来る。ステップ702は、MSBからLSBまで操作するビット（図7のb）を順次変えていく部分であり、図7のようなループ処理を行う。ステップ703はカウンタのカウント値設定（図7のc）とステップ702で注目しているビット（図7のb）を1にセットする部分であり、この例では、カウント値をスレッシュヨルド以下の画素の数に設定している。ステップ704はVアドレスを変化させる部分、ステップ705はHアドレスを変化させる部分である。ステップ704、705はループを形成しており、ステップ704は、例えば0から239までVアドレスを変化させる。ステップ705は、例えば0から319までHアドレスを変化させる。

【0080】ステップ706では、コンバータの判定をもとに以後の処理を2つに分けるものである。この例では、選択している画素のデータ（図7の（V，H））をデジタルコンバータで判定する方法を採用している。この判定において、ステップ701で設定したスレッシュヨルド以下であった場合、ステップ704、ステップ705で選択している画素に与えたバイアス電流値ではスレッシュヨルド以下であることになり、ステップ707においてスレッシュヨルド以下の画素のカウントを行う。ステップ707は、この例ではダウンカウンタで、ステップ703の設定値からダウンカウントを行う。

【0081】ステップ708はコンバータの判定をもとに以後の処理を2つに分けるものである。この例では、ステップ707でカウントした値が0以下であるかをデジタルコンバータで判定する方法を採用している。この判定において、ステップ707でカウントした値が0を超えていた場合、ステップ709において、ステップ702で注目しているビットbを0にリセットする。ステップ708の判定で0以下であった場合、ビットbは1のままでよい。ステップ709は実行しない。

【0082】図8の802では、801の目標値に加えてスレッシュヨルドを超えた画素数に対しても画素数設定値と比較を行い、②のバイアス電流を求め、①と②の2つのバイアス電流からFPNのフルスケール電流値を求めている。

【0083】図8の802を説明すると、スレッシュヨ

ドの設定とスレッシュホールド以下の画素数を設定(802の画素数設定値)し、まず、①の目標値を求めるために図7のフローと同じようにバイアス電流値のMSBを操作し、カウント結果と画素数設定値の比較結果からMSBを決定し、順次LSBまで同様の操作と判定によってバイアス電流の各ビットを決定し、次に、②の目標値を求めるために、図7のフローと同じようにバイアス電流値のMSBを操作し、カウント結果と画素数設定値の比較結果からMSBを決定し、順次LSBまで同様の操作と判定によってバイアス電流の各ビットを決定する。

【0084】図8の802の動作について、図9の805を用いて説明する。802の①の設定の時、各画素の信号レベルの分布は805のようになっている。この時のスレッシュホールド以下の画素は欠陥画素である。画素数設定値はこの欠陥画素数を除外できるように設定する。802の②の設定の時、各画素の信号レベルの分布は図9の807のようになっている。この時のスレッシュホールド以上の画素も欠陥画素であり、画素数設定値はこの欠陥画素数を除外出来るように設定する。尚、①の設定画素数と②の設定画素数は異なっても構わない。

【0085】これによって①と②のレベルを知ることができ、②-①のレベルをFPN補正回路のフルスケールとする。この後、バイアス電流を①のレベルに決定して、FPN補正をかけることで、各画素の信号は図9の806の様にスレッシュホールド付近に集まる。これによって各画素の信号は上側に広いダイナミックレンジを持つことになる。このスレッシュホールドを上側に設定し、下側に広いダイナミックレンジを持たせることは、当然可能である。また、スレッシュホールド以下と以上を適宜入れ換えてアルゴリズムを構成することは当然可能である。

【0086】図8の803は、802のスレッシュホールドを超えた画素数をカウントする代わりに、スレッシュホールド以下の画素数の上限値を設けて、①と②のバイアス電流を求め、この2つのバイアス電流値からFPNのフルスケール電流値を求めている。

【0087】図8の803を説明すると、スレッシュホールドの設定とスレッシュホールド以下の画素数の下限値とスレッシュホールド以下の画素数の上限値を設定し、①の目標値を求めるために図7のフローと同じようにバイアス電流値のMSBを操作し、カウント結果と画素数設定値の比較結果からMSBを決定し、順次LSBまで同様の操作と判定によってバイアス電流の各ビットを決定し、次に②の目標値を求めるために図7のフローと同じようにバイアス電流値のMSBを操作し、カウント結果と画素数設定値の比較結果からMSBを決定し、順次LSBまで同様の操作と判定によってバイアス電流の各ビットを決定する。

【0088】上限設定値として全体画素数からAを引いた値を設定することができる。Aとして807の②を超えるレベルの画素、つまりは上側欠陥画素数を指定す

る。これによって802の説明と同様に欠陥画素を除いた①から②の画素を図9の806の様にスレッシュホールドに集めることができる。

【0089】図8の804は、802の画素数を設定する代わりに、FPNのフルスケール電流値を設定して、あるバイアス電流におけるカウント結果①と、このバイアス電流からFPNのフルスケール電流値を引いた電流値におけるカウント結果②のほぼ同じになるようにバイアス電流を求めている。

10 【0090】図8の804を説明すると、スレッシュホールドの設定とFPNのフルスケール電流値を設定し、①の目標値を求めるために図7のフローと同じようにバイアス電流値のMSBを操作し、カウント結果を求め、このときのバイアス電流値からFPNのフルスケール電流値を引いたバイアス電流のときのカウント結果も求める。2つのカウント結果の差を比較し、両者の差が小さくなるようにMSBを決定し、順次LSBまで同様の操作と判定によってバイアス電流の各ビットを決定する。

20 【0091】この方法は、FPN補正回路のフルスケール電流を大きくしたくないときに効果がある。フルスケールを大きくするとFPN補正回路の残差(図9の806)が大きくなり、残差がダイナミックレンジを占有する度合いが大きくなる。

【0092】図8の804の目標値の求め方としては、前記バイアス電流の各ビットをMSBからLSBまで操作して求める方法の他に、バイアス電流値を最小値から最大値まで順次変化させ、スレッシュホールド以下の画素数とスレッシュホールドを超えた画素数を、一旦全てPC(図1のパーソナルコンピュータ133)に取り込んで、上記アルゴリズムをソフトウェア上で実行し、目標のバイアス電流値を求める方法もある。この方法の利点は、ロジックの回路規模を小さく出来る。また、取り込んだデータを画面上にグラフで表示することが出来、FPNのフルスケール電流値を設定するとき分かりやすいなどがある。

30 【0093】図10の901にバイアス電流とオンチップFPNのフルスケール電流を設定するアルゴリズムとフレームとの関係を示す。φVは、例えば30Hz程度の垂直同期信号であり、このクロックの1周期が1フレームである。最初に設定を行う。この設定の期間は、バイアス回路内のシフトレジスタ(図2のSR)のビット数で異なるが、この例では18ビットと仮定し、18画素クロック期間である。全画素測定するためには1フレーム必要であり、設定で18画素クロック使っているので、このフレームでは全画素測定できない。そこで、次のフレームになるまで待ち時間を設けている。2フレーム目では、全画素の出力信号を比較してカウントを行う。また、カウントを行うと同時にカウントの設定値との比較も行っている。よって、全画素終了と同時に比較結果がわかり、次のフレームの設定に反映すること

が出来る。この処理をバイアス電流のビット数繰り返し、バイアス電流値の最小値から最大値まで繰り返す。

【0094】以上の説明中の信号を出力する積分回路の中身の動作について、以下に簡単に説明する。図11に積分回路の積分コンデンサ部の積分波形を示す。1001はボロメータに印加した電圧によって、ボロメータに自己発熱が無い、無視できるほど小さい場合である。左図はF P N補正をかける前、右図はF P N補正をかけた後の波形である。前述したように、最適なキャンセラ

設定を見つける探索を行って、ボロメータ抵抗が最小の画素の積分波形が、ダイナミックレンジの下限近く、前述したスレッシュホールドにくるようにしている。V_mは、赤外線の入力があった場合に、ボロメータ抵抗が変化するため、マージンとして設けてある。ボロメータ抵抗最大の画素の積分波形は、補正前においてダイナミックレンジの上限をはみ出ていることが多い。

【0095】F P N補正を行うことによって、右図のように各画素の積分波形はダイナミックレンジの下限近くに集まる。F P N補正の精度の問題で補正後集まり方には限界があり、図11のように残差が生じる。積分波形のサンプリングは図11の終点で行う。積分波形に残差が生じるのは、補正回路の量子化誤差によるものであって、ボロメータ抵抗の大小と直接に関係するものではない。つまり、図11の補正残差大の中にはボロメータ抵抗大のものも含まれれば、小のものも含まれる。

【0096】1002はボロメータに印加した電圧によって、ボロメータに自己発熱が比較的大きく生じる場合である。左図はF P N補正をかける前、右図はF P N補正をかけた後の各波形である。ボロメータの抵抗温度係数T C Rが負の場合を仮定している。1001と同様に、最適なキャンセラ設定を見つける探索を行って、ボロメータ抵抗が最小の画素の積分波形が、スレッシュホールドにくるようにしている。

【0097】F P N補正を行うことによって、右図のように各画素の積分波形は、ダイナミックレンジの下限近くに集まる。1001と同様に、補正残差大の中にはボロメータ抵抗大のものも含まれれば、小のものも含まれる。従って積分波形の最大振幅V_{max}は、ボロメータ抵抗最小の画素の積分波形曲がりに残差の約1/2を足したものになる。1/2の理由は、積分終点の約1/2で積分波形曲がりがある中でV_{max}を最小にするには、補正残差小の画素において積分波形の始点と終点の積分電圧レベルを合わせると共に、残差が積分曲がりの凸側にくるようにすれば良いことがわかる。

【0098】ボロメータの抵抗温度係数T C Rが正の場合、積分波形曲がりがある中でV_{max}を最小にするには、補正残差小の画素において積分波形の始点と終点の積分電圧レベルを合わせると共に、残差が積分曲がりの凸側にくるように

すれば良いことには変わりはない。

【0099】1002の具体例を以下に示す。ボロメータ抵抗としては、各画素に時分割で電圧を印加するいわゆるパルスバイアス駆動を行う場合、数kΩから数10kΩ程度が考えられる。ボロメータの抵抗温度係数T C Rとしては、数%/K程度が考えられる。ボロメータ印加電圧としては0.5V程度から5V程度が、信号を大きくすると、通常のI Cプロセスで電圧を扱う上で好ましい。積分容量としては、数pFから数100pF程度が、積分ゲインを大きくしてセンサ出力電圧を大きくすると、積分波形の振幅V_{max}をある程度抑える上で好ましい。積分時間としては、数μsから数100μs程度が、読み出し回路の数を減らすと、積分ゲインを大きくする上で好ましい。この時、ボロメータの自己発熱温度は、数℃から数10℃程度になる。自己発熱は積分波形の曲がりを減らす上では小さい方が好ましいが、センサの温度分解能に当たるノイズ等価温度差N E T Dは、ボロメータに印加するジュール熱の平方根、つまり自己発熱温度の平方根に比例する場合が多く（例えば、田中ら、熱型赤外線イメージセンサ、電子情報学技報E D 98-265、pp. 9-16）、その意味ではある程度の自己発熱温度が必要になる。

【0100】ボロメータ抵抗として約10kΩ、T C Rとして約-2%/K、印加電圧として約2V、積分容量として約100pF、積分時間として約30μs、積分ゲインとして約30倍、自己発熱温度として約7℃程度を仮定すると、積分波形曲がりV_{max}は約2V程度となる。残差電圧としては、F P N補正のビット数によっても異なるが、6ビット程度を仮定すると、約0.2V程度となる。

【0101】

【発明の効果】以上説明したように、本発明は下記のような効果がある。まず、各画素に与える電流値を補正する定電流源を持つことによって、増幅素子のばらつきや検出器自体のばらつきによる撮像素子の出力電圧のばらつきをダイナミックレンジ内に収めることができ、撮像素子内または撮像素子外において行われる信号増幅や信号処理を円滑に行うことが出来る。

【0102】また、バイアス電流のビットを操作したときのカウント数と設定値とを比較して目標のバイアス電流値を求めているため、回路規模が小さく、高速に目標のバイアス電流値を求めることが出来る。更に、目標のバイアス電流値をもう一つ加えて、バイアス電流のビットを操作したときのカウント数と設定値とを比較して目標のバイアス電流値を求め、それらのバイアス電流値からF P N補正回路のフルスケール電流値を求めているため、回路規模が小さく、高速にバイアス電流値とF P N補正のフルスケール電流値とを同時に求めることが出来る。

【0103】更にはまた、設定値をもう一つ加えて、バ

イアス電流のビットを操作したときのカウンタ数と設定値とを比較して目標のバイアス電流値を求め、それらのバイアス電流値からFPN補正回路のフルスケール電流値を求めているため、回路規模が小さく、高速にバイアス電流値とFPN補正のフルスケール電流値とを同時に求めることが出来る。

【0104】また、FPN補正回路のフルスケール電流値を指定し、あるバイアス電流におけるカウンタ結果と、このバイアス電流からFPN補正回路のフルスケール電流を引いた電流値におけるカウンタ結果がほぼ同じになるようにバイアス電流を求めているため、回路規模を小さく、高速にFPN補正のフルスケール電流値を自由に設定したときのバイアス電流値を求めることが出来る。

【図面の簡単な説明】

【図1】本発明の一実施形態である撮像装置の装置全体を示す回路図である。

【図2】本発明の一実施形態である読み出し回路内のバイアス回路の回路図である。

【図3】本発明の一実施形態である撮像装置の撮像素子全体の回路図である。

【図4】図1の撮像装置の動作を表すタイミング図である。

【図5】本発明の一実施形態の撮像装置を示す全体のブロック図である。

【図6】本発明の一実施形態の装置を示す全体のブロック図である。

【図7】バイアス電流を設定するためのフローチャートである。

【図8】バイアス電流とオンチップFPNのフルスケール電流を設定するアルゴリズムをイメージ的に表した図である。

【図9】バイアス電流とオンチップFPNのフルスケール電流を設定するアルゴリズムをイメージ的に表した図である。

【図10】バイアス電流とオンチップFPNのフルスケール電流を設定するアルゴリズムとフレームとの関係を示した図である。

*【図11】積分回路の中身の動作について表した図である。

【図12】従来の撮像装置の回路図である。

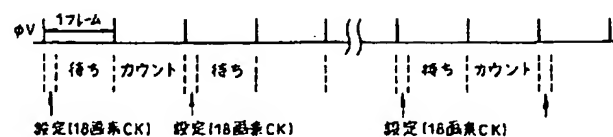
【符号の説明】

- 100 垂直スイッチ
- 101 検出器
- 102, 106 NPNトランジスタ
- 103 PNPトランジスタ
- 104, 105 抵抗
- 107, 109, 112 スイッチ
- 108 積分コンデンサ
- 110, 111, 114, 115 NMOSFET
- 113 ホールドコンデンサ
- 116 増幅器
- 117 サンプル・ホールド回路
- 118 A/Dコンバータ
- 119 FPNメモリコントローラ
- 120 FPNメモリ
- 121 VRAM
- 122, 125, 127 コンパレータ
- 123 FPNメモリコントローラ
- 124 FPNメモリ
- 126 カウンタ
- 128 バイアスコントローラ
- 129 平行/シリアル変換器
- 130~132 バイアス回路
- 133 PC (パーソナルコンピュータ)
- 134 D/Aコンバータ
- 135 NTSC信号発生器
- 301 水平シフトレジスタ
- 302 マルチプレクサ
- 303 読み出し回路
- 304 FPNデータバッファ
- 305 FPN補正電流源
- 308 垂直シフトレジスタ
- 309 バイアス設定回路
- 310 ノイズフィルタ

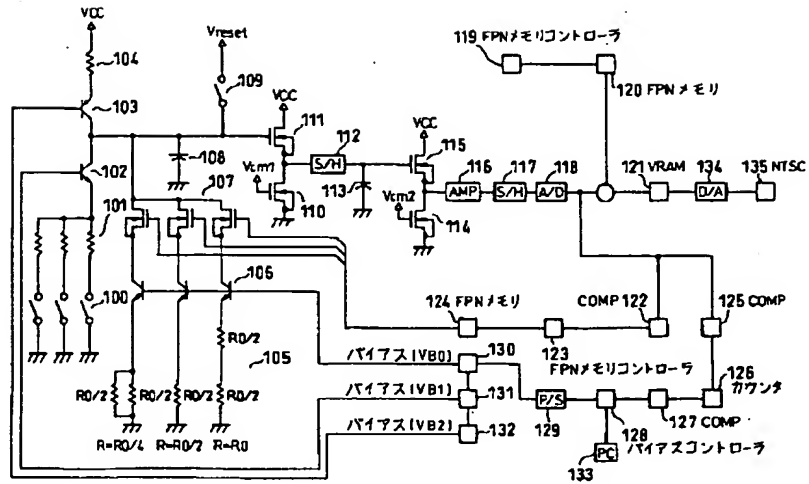
*

【図10】

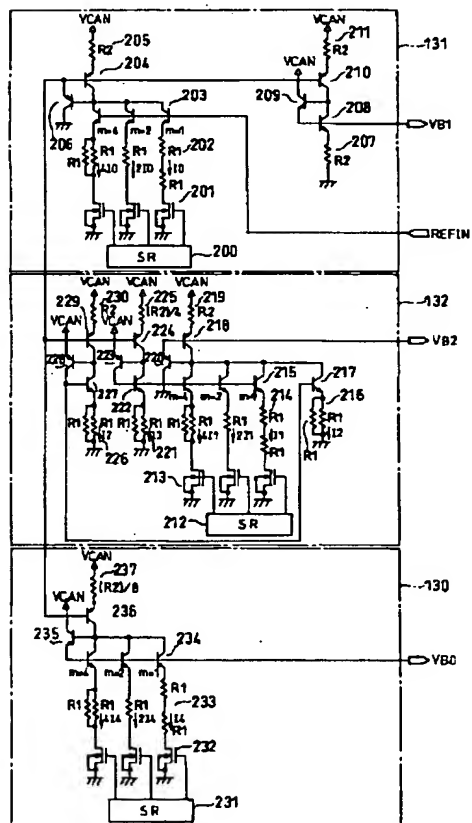
901



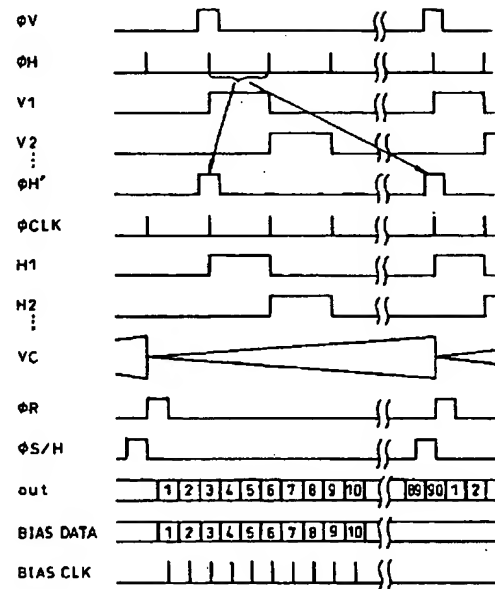
【図1】



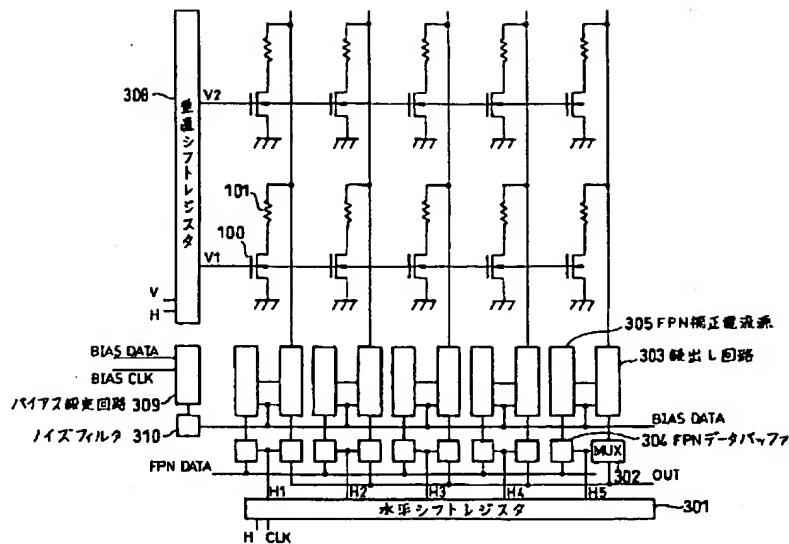
【図2】



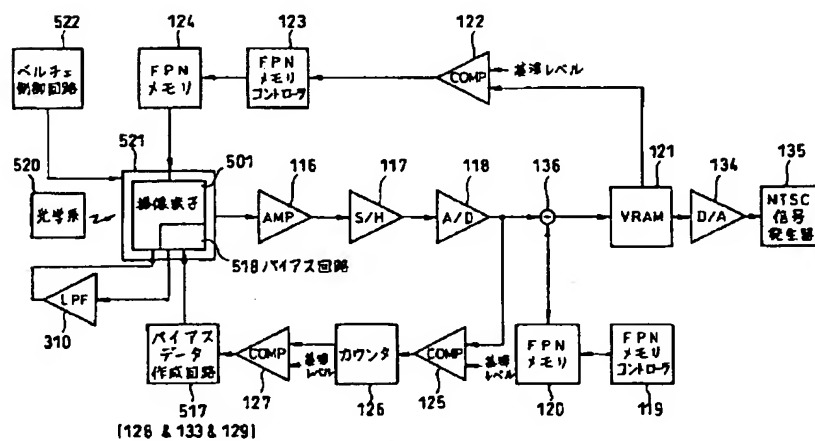
【図4】



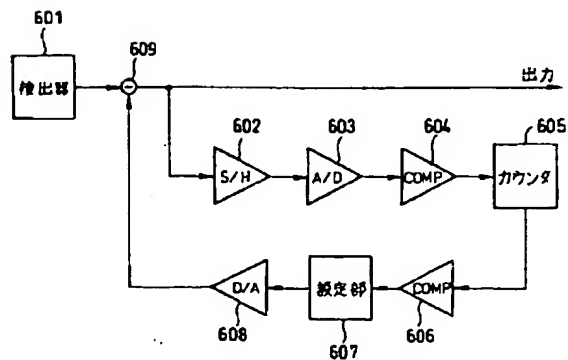
【図3】



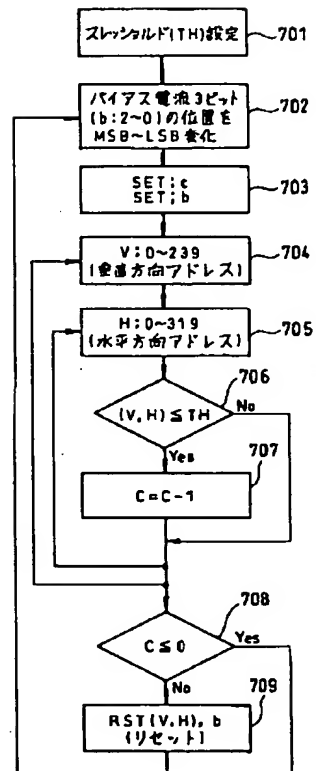
【図5】



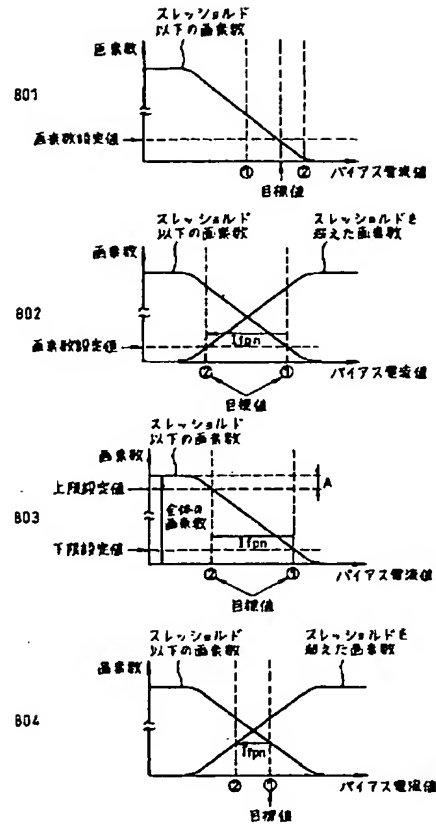
【図6】



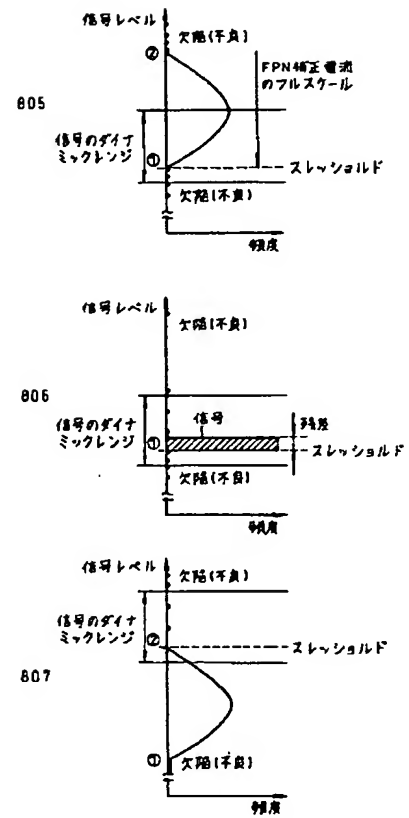
【図7】



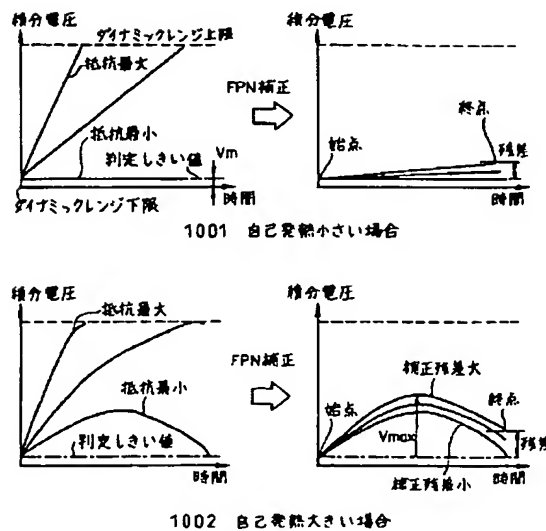
【図8】



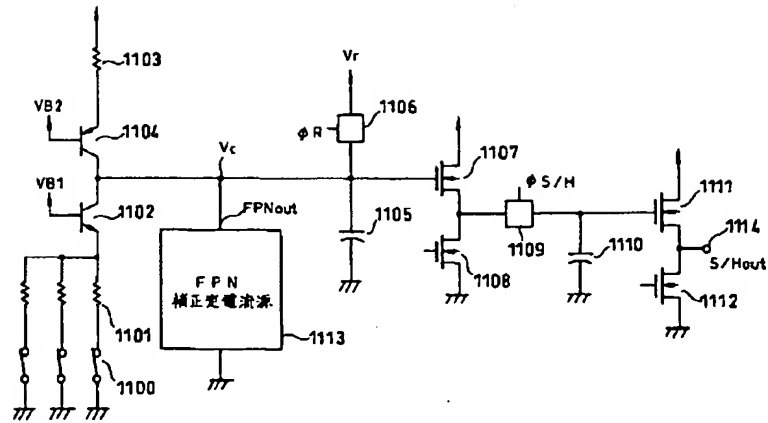
【図9】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.

識別記号

F I

特開2001-245222 (参考)

H 01 L 27/14

Z

F ターム (参考) 2F055 AA40 BB20 CC60 DD20 EE40
 FF11 GG31
 2G065 AB02 AB04 AB05 BA02 BA12
 BA34 BC01 BC03 BC07 BC08
 BC10 BC14 BC15 BC16 BC17
 BC19 BC22 BC28 BC33 BD01
 CA12 DA01 DA18
 4M118 AA06 AB01 BA06 CA14 CB14
 DD09 DD11 DD12 GA10
 5C024 AX01 AX06 AX09 GX08 GX10
 HX23 HX29 HX32 HX55
 5J022 AA01 AB01 AC02 BA02 CA10
 CF01 CF10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.